

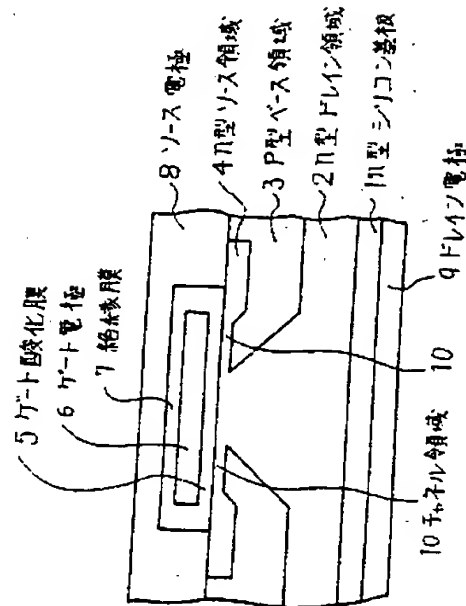
PUBLICATION NUMBER : 03157974
 PUBLICATION DATE : 05-07-91
 APPLICATION DATE : 15-11-89
 APPLICATION NUMBER : 01298034

APPLICANT : NEC CORP;

INVENTOR : SAWADA MASAMI;

INT.CL. : H01L 29/784

TITLE : VERTICAL TYPE FIELD EFFECT TRANSISTOR



ABSTRACT : PURPOSE: To reduce ON-resistance per unit area and increase breakdown strength between a source and a drain, by forming a depletion type FET of a vertical type.

CONSTITUTION: An N-type drain region 2 is formed on an N-type Si substrate 1; a P-type base region 3 is formed on the surface part of the region 2; an N-type source region 4 is formed in the region 3; a gate oxide film 5 is formed on the surface; a gate electrode 6 of a polycrystalline Si layer is formed on the film 5, and covered with an insulating film 7 in order that the electrode 6 and the regions 3, 4 may not be shorted; a source electrode 8 is formed by sticking metal from above the film 7; a drain electrode 9 is formed by sticking metal on the rear of the substrate 1. In this vertical type FET, a channel region 10 of the surface just under the oxide film 5 in the region 3 is turned into an N-type, thereby forming a depletion type FET.

COPYRIGHT: (C)1991,JPO&Japio

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-157974

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)7月5日

H 01 L 29/784

8728-5F

H 01 L 29/78

3 2 1 H

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 縦型電界効果トランジスタ

⑯ 特 願 平1-298034

⑰ 出 願 平1(1989)11月15日

⑱ 発 明 者 沢 田 雅 己 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

縦型電界効果トランジスタ

特 許 請 求 の 範 囲

一導電型半導体層を有する半導体基板の前記一導電型半導体層の表面部に間隔をおいて設けられた二つの逆導電型ベース領域と、前記二つのベース領域内にそれぞれ設けられた一導電型ソース領域と、前記ベース領域とソース領域との間のチャネル領域上にゲート絶縁膜を介して設けられたゲート電極とを有し、前記一導電型半導体層ドレイン領域とする縦型電界効果トランジスタにおいて、前記二つのベース領域の表面層を横切って前記ソース領域と前記ドレイン領域とを接続する一導電型チャネル領域を設けたことを特徴とする縦型電界効果トランジスタ。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は縦型電界効果トランジスタに関し、特にデプレッション型縦型電界効果トランジスタに関する。

〔従来の技術〕

第2図は従来の電界効果トランジスタの一例の断面図である。

p型シリコン基板11の表面にゲート参加膜5を介してゲート電極5を設け、その両側のシリコン基板にn型ソース領域4とn型ドレイン領域2とを設け、各々にソース電極8、ドレイン電極9を設ける。デプレッション型の場合、チャネル領域10はソース・ドレイン領域と同じ導電型にする。

〔発明が解決しようとする課題〕

上述した従来のデプレッション型電界効果トランジスタは、CMOS型論理回路等を構成するには非常に有効である。しかし、ソース・ドレイン間のオン抵抗を低くしたい場合、チャネル幅Wを長くする必要がある。

このような構造のトランジスタでは、ドレイン電極を半導体チップの上面からとっているためこの部分が無駄な領域となり、半導体チップ面積当たりのオン抵抗が大きくなるという欠点がある。

また、リソース・ドレイン間の耐圧を大きくしたい場合、パンチスルーを防止する意味でソース・ドレイン間距離を大きくする必要があり、電界強度を弱めるためにソース・ドレイン領域を深く形成しなければならず、これらの結果1つのトランジスタの面積は大きくなり、半導体チップ当たりのオン抵抗が大きくなるという欠点がある。

〔課題を解決するための手段〕

本発明は、一導電型半導体層を有する半導体基板の前記一導電型半導体層の表面部に間隔をおいて設けられた二つの逆導電型ベース領域と、前記二つのベース領域内にそれぞれ設けられた一導電型ソース領域と、前記ベース領域とソース領域との間のチャネル領域上にゲート絶縁膜を介して設けられたゲート電極とを有し、前記一導電型半導体層ドレイン領域とする縦型電界効果トランジスタ

において、前記二つのベース領域の表面層を横切って前記ソース領域と前記ドレイン領域とを接続する一導電型チャネル領域を設けたことを特徴とする。

〔実施例〕

第1図は本発明の一実施例の断面図である。

比抵抗が $0.01\Omega\cdot\text{cm}$ 程度のn型シリコン基板1上に比抵抗が $0.3\sim 10\Omega\cdot\text{cm}$ 程度で厚さが数 μm ～数 μm のn型ドレイン領域2を形成する。ドレイン領域2の表面部に深さ $2\sim 6\mu\text{m}$ 程度のp型のベース領域3を設け、このベース領域内に深さ約 $1\mu\text{m}$ のn型ソース領域4を設ける。表面に厚さ $30\sim 200\text{nm}$ 程度のゲート酸化膜5を設け、その上に厚さ約 $0.5\mu\text{m}$ の多結晶シリコン層でゲート電極6を設ける。ゲート電極6とベース領域3とソース領域4とが短絡しないようにPSG等の絶縁膜7で覆い、その上からアルミニウム等の金属を被着してソース電極8を形成する。シリコン基板1の裏面にAuSb、Au等の金属を被着しドレイン電極9を形成す

-3-

-4-

る。

このような縦型電界効果トランジスタにおいて、ベース領域3内のゲート酸化膜5の直下の表面のチャネル領域10を $0.1\sim 1\mu\text{m}$ 程度n型化することによりデプレッション型トランジスタが形成される。

一般に、縦型MOSTランジスタにおいて、ソース・ドレイン間耐圧が低い(30V 程度)場合には、ゲート電極直下のチャネル抵抗がオン抵抗の大部分である。今、ベース領域の深さを $3\mu\text{m}$ 、ソース領域の深さを $1\mu\text{m}$ 、横方向の広がり深さを同一と仮定すると、チャネル長は $2\mu\text{m}$ となる。

通常の横型MOSTランジスタでは、ソース・ドレイン耐圧を得るため、深く拡散する必要があり、ソース・ドレイン領域の深さは $3\mu\text{m}$ 程度にする。また、十分にオフ状態にさせることを考えてチャネル長は $2\mu\text{m}$ 程度必要である。これらのことから、縦型MOSTランジスタの方が同一面積でチャネル長が約2倍となり、この分オン抵

抗は小さくなるという利点がある。

また、横型MOSTランジスタの場合、ソース及びドレイン領域が半導体表面に形成されているため、電界強度弱めることが困難であり、高耐圧化が難しい。これに対して縦型MOSTランジスタでは、外周部にフィールドリングやフィールドプレート等を使用することにより、電界強度を緩和することができ、高耐圧化が可能となる。

〔発明の効果〕

以上説明したように本発明は、デプレッション型電界効果トランジスタを縦型に形成することにより単位面積当たりのオン抵抗を小さくし、ソース・ドレイン間耐圧を大きくすることが可能である。

図面の簡単な説明

第1図は本発明の一実施例の断面図、第2図は従来の電界効果トランジスタの一例の断面図である。

1…n型シリコン基板、2…n型ドレイン領域、3…p型ベース領域、4…n型ソース領域、

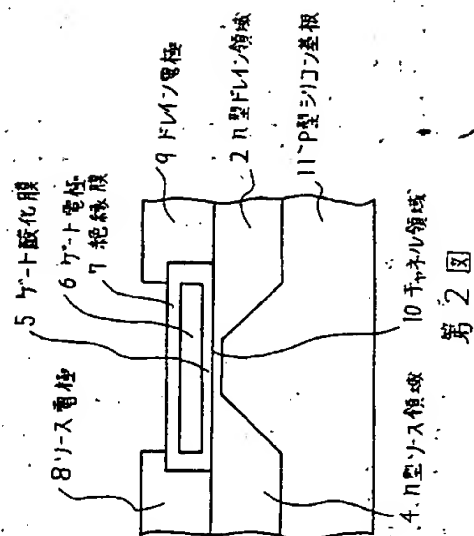
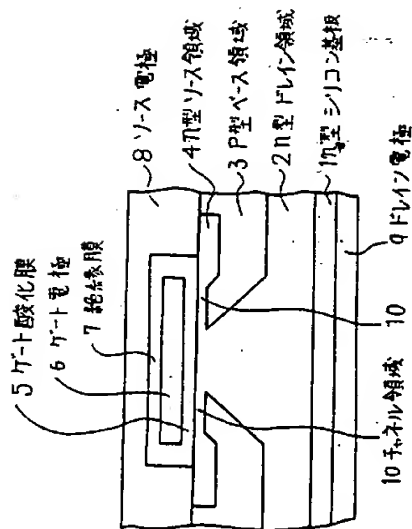
-5-

-6-

5…ゲート酸化膜、6…ゲート電極、7…絶縁膜、8…ソース電極、9…ドレイン電極、10…チャネル領域、11…p型シリコン基板。

代理人 井理士 内 原 啓

-7-



AVAILABLE COPY

THIS PAGE BLANK (USPTO)